

SEMICONDUCTOR DEVICE

Patent Number: JP64001269

Publication date: 1989-01-05

Inventor(s): WATANABE MASAYUKI; others: 04

Applicant(s): HITACHI LTD; others: 03

Requested Patent: JP64001269

Application Number: JP19870155478 19870624

Priority Number(s):

IPC Classification: H01L25/04; H01L23/52; H01L25/08

EC Classification:

Equivalents: JP2603636B2

Abstract

PURPOSE: To improve the mounting density of a semiconductor chip on a module substrate by connecting the bump electrode of a semiconductor chip to leads, and connecting a plurality of the chips having leads to the wirings of the substrate.

CONSTITUTION: A module substrate 1 composed by a plurality of ceramic layers and wiring layers of laminated ceramics places 8 semiconductor chips 4A, 4B, 4C, 4D on its front and rear faces. It is not sealed with package made of ceramics or resin, and the face formed with semiconductor elements or wirings is molded with resin 7. Thus, the chips 4A, 4B, 4C, 4D connected with leads 5A, 5B, 5C, 5D by TABs to bump electrodes 6 are placed on the substrate 1 to construct a semiconductor device, thereby reducing the area of occupying the chips 4A, 4B, 4C, 4D on the substrate 1. Accordingly, the mounting density of the devices can be increased.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報 (A)

昭64-1269

⑤Int.Cl.⁴
H 01 L 25/04
23/52
25/08

識別記号

府内整理番号
Z-7638-5F
B-8728-5F
B-7638-5F

⑩公開 昭和64年(1989)1月5日
※審査請求 未請求 発明の数 1 (全8頁)

⑨発明の名称 半導体装置

⑪特願 昭62-155478

⑫出願 昭62(1987)6月24日

⑬発明者 渡辺 昌行 千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内
 ⑭出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑮出願人 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
 ⑯出願人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地
 ⑰出願人 アキタ電子株式会社 秋田県南秋田郡天王町字長沼64
 ⑱代理人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体チップのバンプ電極をリードに接続し、該リードを有する半導体チップを複数個、モジュール基板の配線に接続して構成した半導体装置。

2. 前記半導体チップは、パッケージで封止されていないことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 前記半導体チップは、前記モジュール基板の表面と裏面の両面に搭載されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 前記半導体装置は、第1の半導体チップの上に第2の半導体チップを載ることにより、同一信号あるいは同一電位を入力又は出力するリード同志を接続して半導体チップの組を構成し、該半導体チップの組を前記モジュール基板に複数組搭載して構成したものであることを特徴と

する特許請求の範囲第1項記載の半導体装置。

5. 前記モジュール基板の表面に搭載されている半導体チップは、バンプ電極が設けられている方の面と反対側の面が搭載基板と対面し、モジュール基板の裏面に搭載されている半導体チップは、バンプ電極が設けられている方の面がモジュール基板と対面していることを特徴とする特許請求の範囲第1項記載の半導体装置。

6. 前記半導体チップのバンプ電極の配線を、第1の半導体チップと第2の半導体チップとで対称にし、バンプ電極同志が接続するように、第2の半導体チップを裏返しにして第1の半導体チップに重ね、それら第1の半導体チップと第2の半導体チップの間にリードを介在させたことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関するものであり、特に、半導体チップをモジュール化してモジュール

基板に複数個搭載して構成した半導体装置に関するものである。

(従来技術)

塔板基板(モジュール基板)に、半導体チップを封止したパッケージを複数個搭載することにより構成した実装密度の高い半導体装置が、日経マグロウヒル社発行、日経エレクトロニクス別冊、no. 2「マイクロデバイセズ」p 150に示されている。〔発明が解決しようとする問題点〕

本発明者は、前記半導体装置を検討した結果、次の問題点を見出した。

前記パッケージは、それ自体の大きさを縮小することが困難であるため、モジュール基板上の半導体チップの実装密度を高めることができない。

本発明の目的は、半導体装置の実装密度を高めることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、半導体チップのバンプ電極をリードに接続し、該リードを有する半導体チップを複数個、モジュール基板の配線に接続して半導体装置を構成する。

(作用)

上述した手段によれば、半導体チップがパッケージで封止されていないので、モジュール基板上の半導体チップの実装密度を高めることができる。

(発明の実施例1)

以下、本発明の実施例1を図面を用いて説明する。

第1図は、本発明の実施例1の半導体装置の概略構成を示した平面図。

第2図は、前記半導体装置の概略構成を示した側面図。

第3図は、前記半導体装置の概略構成を示した正面図である。

第1図乃至第3図において、1は積層セラミックによってセラミック層と配線層とを複数層積層して構成したモジュール基板であり、この表面及び裏面のそれぞれに8個の半導体チップ4A、4B、4C、4Dを搭載している。半導体チップ4A、4B、4C、4Dは、例えば、スタティクRAMが構成されたものであり、またセラミックや樹脂等からなるパッケージによって封止されておらず、半導体薄子や配線が施されている方の面をレジンワードモールドした構造となっている。半導体チップ4A、4B、4C、4Dのそれぞれには、半田や金等からなるバンプ電極6が設けられており、このバンプ電極6にTAB(Tape Automated Bonding)でリード5A、5B、5C、5Dがそれぞれ接続している。半導体チップ4Aは、それぞれのリード5Aを半導体チップ4Bのリード5Bに例えば半田で接続することにより、半導体チップ4Bの上に積層されている。つまり、例えば、半導体チップ4Aにアドレス信号を入力するためのリード5Aは、半導体チップ4Bにアド

レス信号を入力するためのリード5Bに接続している。同様に、半導体チップ4Aのデータの入出力を行うためのリード5Aは、半導体チップ4Bのデータの入出力をを行うためのリード5Bに接続している。すなわち、それぞれのリード5Aとリード5Bにおいて、同一機能を有するもの同志を、例えば半田で接続している。それぞれのリード5Bは、モジュール基板1内の配線(図示していない)を通してデコーダ3及びリード2に接続している。ただし、半導体チップ4Aにチップセレクト信号を入力するためのリード5Aは、半導体チップ4Bにチップセレクト信号を入力するためのリード5Bと接続することなく、デコーダ3のリード3Aに接続している。また、リード5Bは、前記リード5Aが接続しているリード3Aと異なるリード3Aに接続している。デコーダ3によって8個の半導体チップ4A、4Bの中から1つの半導体チップ4A又は4Bを選択するようにしている。

半導体チップ4Dのそれぞれのリード5Dを半

導体チップ4Cのリード5Cに、例えば半田で接続することにより、半導体チップ4Cの上に半導体チップ4Dを搭載している。それぞれのリード5Cは、モジュール基板1内の配線を通してデコーダ3又はリード2に接続している。ただし、半導体チップ4Dのチップセレクト信号を入力するためのリード5Dは、半導体チップ4Cのチップセレクト信号を入力するためのリード5Cと接続せずに、直接デコーダ3のリード3Aに接続している。また、リード5Cは、デコーダ3の前記リード5Dが接続しているリード3Aと異なるリード3Aに接続している。デコーダ3によって8個の半導体チップ4C、4Dの中から1個の半導体チップ4C又は4Dを選択する。半導体チップ4A、4B、4C、4Dのそれぞれの正面、すなわち半導体素子や配線が施されている面は、シリコーンゴム7又はレジン7でモールドしている。

以上、説明したように、パッケージで封止せずに、TABでリード5A、5B、5C、5Dが接

リード5Aに接続している。ただし、半導体チップ4Eにチップセレクト信号を入力するためのリード5Eは、リード5A₁、5B₁と接続せずに、デコーダ3のリード5A₁、5B₁が接続しているリード3Aと異なるリード3Aに接続している。モジュール基板1の裏面は示していないが、裏面においても同様に、半導体チップ4Dの上にさらに半導体チップを搭載して、3組を積層した構造とする。

(発明の実施例Ⅱ)

第5図は、本発明の実施例Ⅱの半導体装置の正面図である。

第5図において、モジュール基板1の表面の1Aは接続端子であり、1Bは裏面の接続端子である。この実施例では、モジュール基板1の表面に半導体チップ4B、4A、4Eの3個を1組とし、これを4組配置している。裏面も同様に、半導体チップ4C、4D、4Fの3個を1組みとし、これを4組配置している。

実施例Ⅱは、半導体チップ4B、4A、4E、

続された半導体チップ4A、4B、4C、4Dをそれぞれモジュール基板1に搭載して半導体装置を構成していることにより、1個の半導体チップ4A、4B、4C、4Dがモジュール基板1上に占める面積を小さくできるので、モジュール基板1に多くの半導体チップ4A、4B、4C、4Dを搭載できる。すなわち、半導体装置の実装密度を高くすることができる。

また、半導体チップ4Bの上に半導体チップ4Aを積層し、また半導体チップ4Cの上に半導体チップ4Dを積層していることにより、モジュール基板1を大きくすることなく、多くの半導体チップ4A、4B、4C、4Dを搭載することができる。

次に、実施例Ⅰの変形例を説明する。

第4図は、実施例Ⅰの変形例を説明するためのモジュール基板1の一部の斜視図である。

第4図に示すように、半導体チップ4Aの上にさらに半導体チップ4Eを搭載するようにしてもよい。5Eは半導体チップ4Eのリードであり、

4C、4D、4Fのそれぞれの正面、すなわち半導体素子や配線が施され、レジン7で覆れている面をモジュール基板1に向けることによって、リード5A、5B、5E、5C、5D、5Fの長さを短くしている。

(発明の実施例Ⅲ)

第6図は、本発明の実施例Ⅲの半導体装置の側面図。

第7図は、前記半導体装置の正面図である。

本発明の実施例Ⅲは、モジュール基板1の表面に搭載される半導体チップ4Aは、その裏面をモジュール基板1の方へ向け、モジュール基板1の裏面に搭載されている半導体チップ4Cは、その正面をモジュール基板1の方へ向けたものである。このようにすることにより、半導体装置を半導体チップ4Bの方から見たとき、半導体チップ4Bのリード5Bと、半導体チップ4Cのリード5Cとで同一機能のものが重なるようにしている。それぞれの重なった同一機能のリード5Bと5Cを、モジュール基板1の貫通配線（スルーホール

配線) 8 によって接続している。つまり、それぞれのリード 5B を 1 本ずつ、そのリード 5B と同一機能を有するリード 5C へ貫通配線 8 で接続することにより、例えば、半導体チップ 4B にアドレス信号を入力させるリード 5B は、貫通配線 8 を通して、半導体チップ 4C にアドレス信号を入力させるためのリード 5C に接続している。同様に、半導体チップ 4B のデータの入出端子であるそれぞれのリード 5B は、貫通配線 8 を通して、半導体チップ 4C のデータの入出端子であるリード 5C に接続している。ただし、半導体チップ 4B のチップセレクト信号を入力するためのリード 5B、と、半導体チップ 4C のチップセレクト信号を入力するためのリード 5C、は貫通配線 8 で接続しておらず、リード 5B、はモジュール基板 1 の表面に設けたデコーダ 3 に接続され、リード 5C、はモジュール基板 1 の裏面のデコーダ 3 に接続している。ここで、本実施例におけるモジュール基板 1 は、例えばガラスエポキシ等の樹脂からなる単層構造となっており、内部には貫通配

線 8 以外の配線を設けていない。ただし、モジュール基板 1 の表面及び裏面には、半導体チップ 4B、4C とリード 2 の間を接続する配線あるいはデコーダ 3 (第 6 図、第 7 図には図示していない) と半導体チップ 4B、4C の間を接続する配線等が設けられている。貫通配線 8 は、モジュール基板 1 に例えばドリル等で貫通孔を開けた後、例えば蒸着や無電界メッキ等で例えば銅層をメッキして形成したものである。

以上のように、同一機能のリード 5B と 5C を貫通配線 8 で接続することにより、モジュール基板 1 内に貫通配線 8 以外の配線を設けないようにして単層構造としたので、モジュール基板 1 の信頼性を高めることができる。

また、同一機能のリード 5B と 5C を貫通配線 8 で接続したことにより、モジュール基板 1 の表面及び裏面に設けられる配線の本数を低減することができる。

なお、モジュール基板 1 及び貫通配線 8 は、積層セラミックによって形成してもよい。この場合

は、半導体チップ 4B、4C とリード 2 を接続する配線、半導体チップ 4B、4C とデコーダ 3 を接続する配線等がモジュール基板 1 内に埋込まれる。しかし、それらの配線の本数は、貫通配線 8 を設けたことにより、例えばモジュール基板 1 の表面の半導体チップ 4B をリード 2、デコーダ 3 に接続する配線のみを設ければよいので、埋込まれる配線の本数を大幅に少くすることができ、したがって、モジュール基板 1 の信頼性を高くすることができる。

[本発明の実施例 IV]

第 8 図は、本発明の実施例 IV における 2 個の半導体チップの平面図。

第 9 図は、第 8 図に示した 2 個の半導体チップを向い合せて同一のリードに接続し、これを 1 の方向から見たときの側面図。

第 10 図は、同一のリードに接続した 2 個の半導体チップを別の方向から見たときの側面図である。

本発明の実施例 IV は、半導体チップ 4A ではバ

ンプ電極 6A を左上角から順次配置し、バンプ電極 6A と同一機能のバンプ電極 6B を半導体チップ 4B では右上角から配置している。すなわち、半導体チップ 4A のバンプ電極 6A₁、…6A_{n-1}、6A_n、6A_{n+1}、…6A_{n+m} と、半導体チップ 4B の 6B₁、…6B_{n-1}、6B_n、…6B_{n+m} において、添字が同じものは同一機能のバンプ電極である。そして、半導体チップ 4B の主面が半導体チップ 4A の主面と対面するようにして並ねたとき、半導体チップ 4B のバンプ電極 6B₁、…6B_{n-1}、6B_n、…6B_{n+m} が、半導体チップ 4A のバンプ電極 6A₁、…6A_{n-1}、6A_n、6A_{n+1}、…6A_{n+m} に重なるように、それらのバンプ電極 6A、6B を対称的に配置している。これらの対称的に配置されたバンプ電極 6A、6B は、同一のリード 5 に接続している。ただし、半導体チップ 4A のチップセレクト信号を入力するためのバンプ電極 6A、と、半導体チップ 4B のチップセレクト信号を入力するためのバンプ電極 6B、は重ならないように配置をずらし、別々のリード

ド5に接続している。9は絶縁材であり、パンプ電極6A₁が接続しているリード5を半導体チップ4Bから絶縁し、またパンプ電極6B₁が接続しているリード5を半導体チップ4Aから絶縁している。なお、リード5は、半導体チップ4Aと4Bを向い合せてリード5に接続した後に、適正な形状に成型する。そして、半導体チップ4Aと4Bを1組として、モジュール基板1の表面及び裏面に複数組ずつ配置する。

以上のように、パンプ電極6A₁と6B₁の配置を対称にして、同一のリード5に接続したことにより、モジュール基板1上における半導体チップ4A、4Bの実装密度を2倍にすることができる。

なお、第11図及び第12図に示すように、半導体チップ4Aのパンプ電極6A₁と、半導体チップ4Bのパンプ電極6B₁を対称位置するわち半導体チップ4Bを半導体チップ4Aに重ねたとき、それらパンプ電極6A₁、6B₁が重なるように配置してもよい。ただし、パンプ電極6A₁が接続しているリード5と、パンプ電極6B₁が接

の実装密度を高くすることができます。

4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰの半導体装置の概略構成を示した平面図。

第2図は、前記半導体装置の概略構成を示した側面図。

第3図は、前記半導体装置の概略構成を示した正面図。

第4図は、実施例Ⅰの变形例を説明するためのモジュール基板1の一部の斜視図。

第5図は、本発明の実施例Ⅱの半導体装置の正面図。

第6図は、本発明の実施例Ⅲの半導体装置の側面図。

第7図は、前記半導体装置の正面図。

第8図は、本発明の実施例Ⅳにおける2個の半導体チップの平面図。

第9図は、第8図に示した2個の半導体チップを向い合せて同一のリードに接続し、これをIの方向から見たときの側面図。

続しているリード5は重ねられるが、それらの間は絶縁材9で絶縁する。なお、第11図は重ね合わせられる2個の半導体チップ4Aと4Bの平面図、第12図は半導体チップ4A、4Bを向き合せて同一のリード5に接続し、それを半導体チップ4AのIの方向から見たときの側面図である。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

パッケージで封止せずに、TABでリードが接続された半導体チップを複数個モジュール基板に搭載して半導体装置を構成したことにより、1個の半導体チップがモジュール基板上に占める面積を小さくできるので、モジュール基板に多くの半導体チップを搭載できる。すなわち、半導体装置

第10図は、同一のリードに接続した2個の半導体チップをIの方向から見たときの側面図。

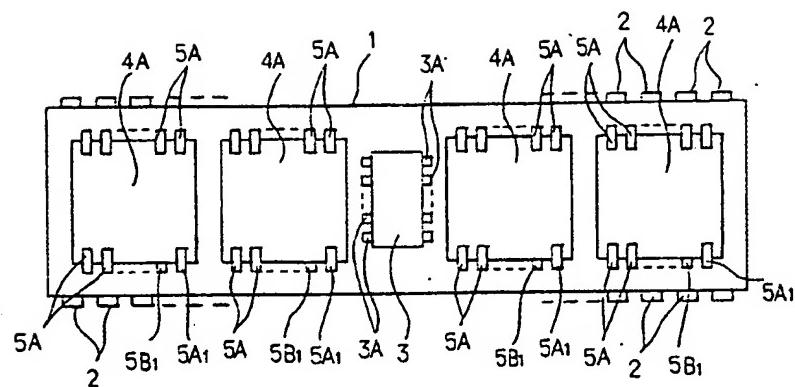
第11図は重ね合わせられる2個の半導体チップ4Aと4Bの平面図。

第12図は半導体チップ4A、4Bを向き合せて同一のリード5に接続し、それを半導体チップ4AのIの方向から見たときの側面図である。

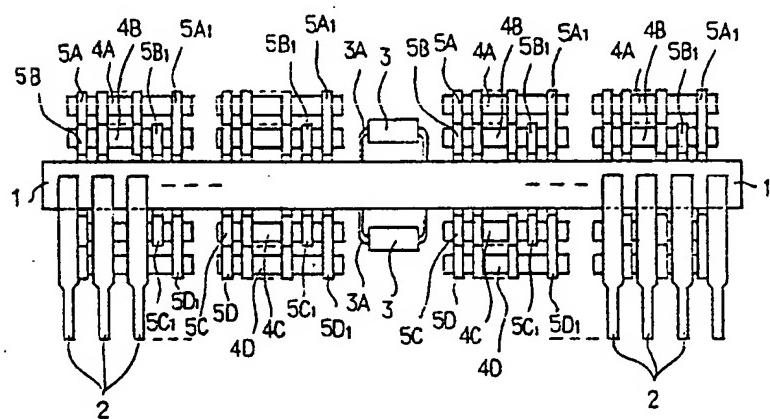
図中、1…モジュール基板、2、3A、5A、5B、5C、5D、5E、5F…リード、3…コード、4A、4B、4C、4D…半導体チップ、6A、6B…パンプ電極、7…シリコーンゴム又はレジン、8…貫通配線、9…絶縁材。

代理人 弁理士 小川勝男

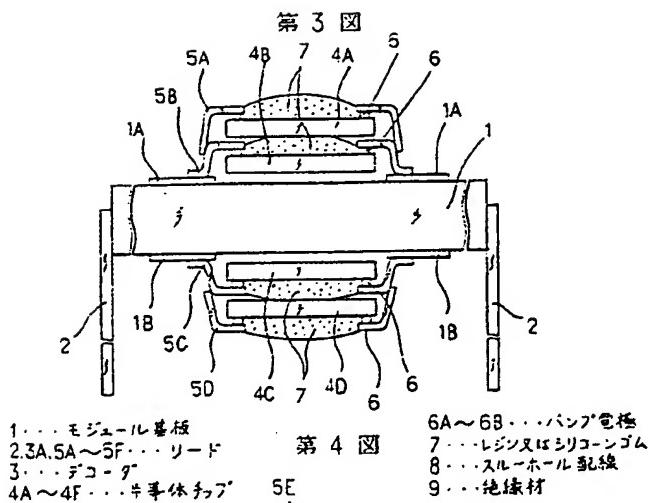
第 1 図



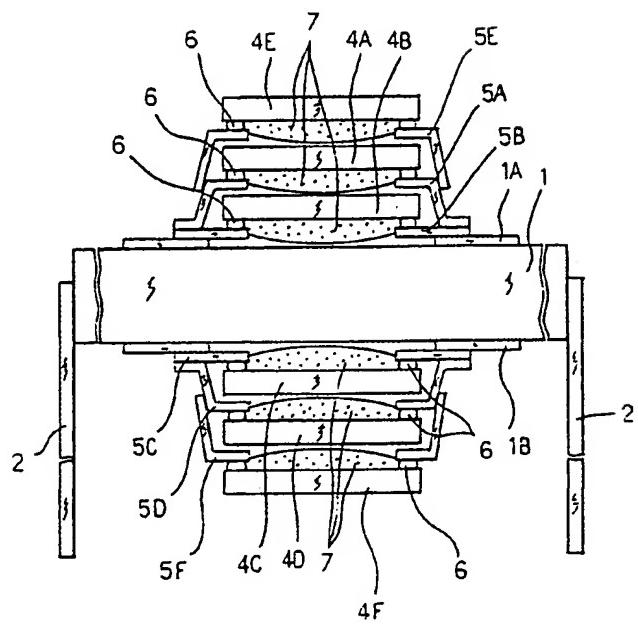
第2圖



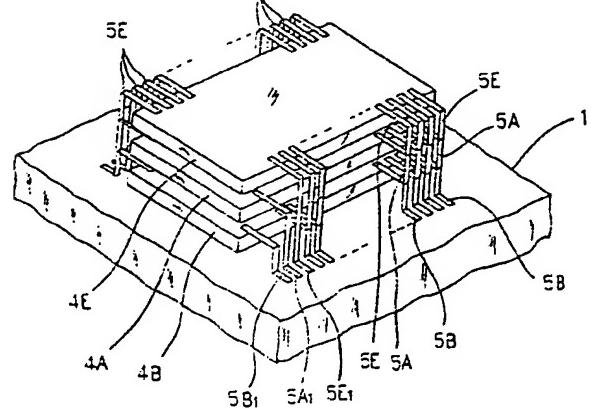
第3図



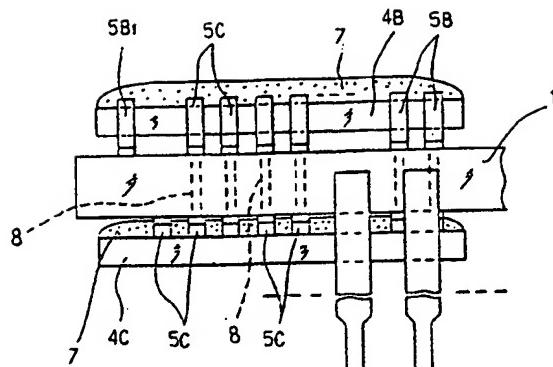
第5図



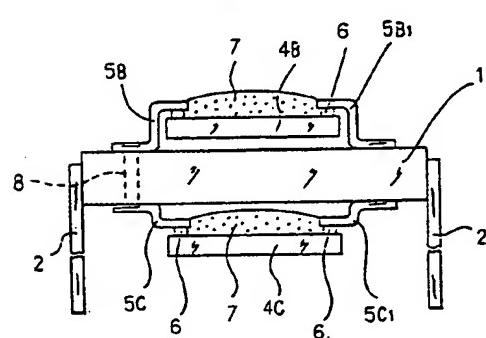
6A～6B…パンプ電極
7…レジン又はシリコーンゴム
8…スルーホール配線
9…絶縁材



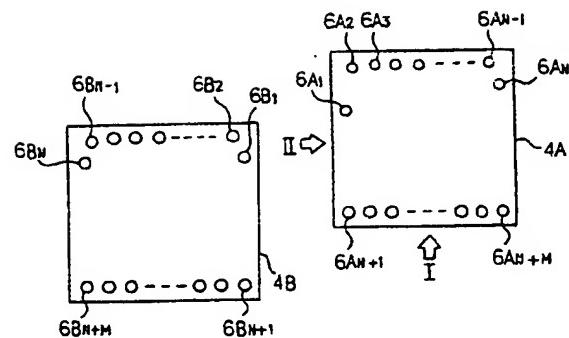
第6図



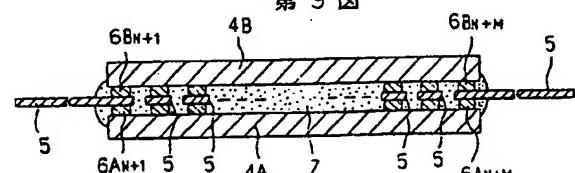
第7図



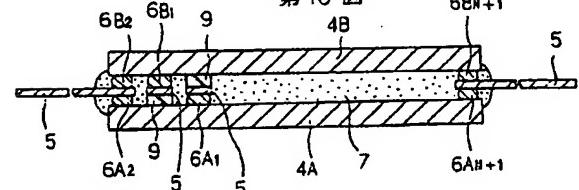
第8図



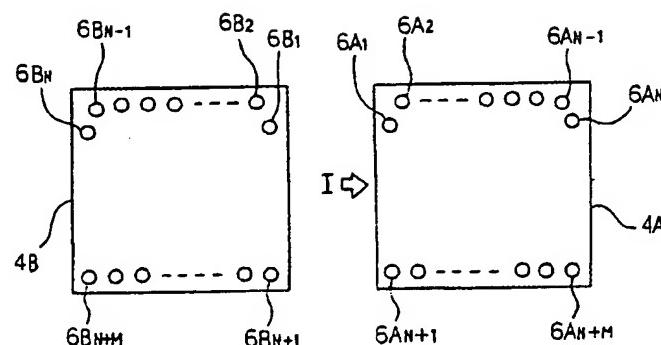
第9図



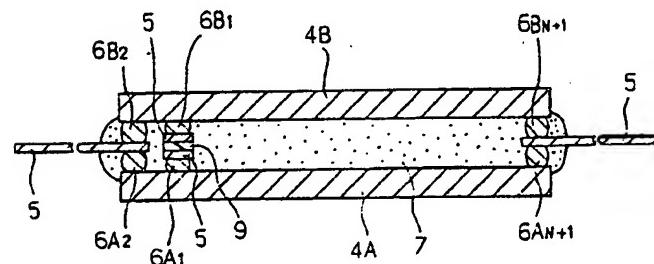
第10図



第11図



第12図



第1頁の続き

⑤Int.Cl.⁴ 識別記号 庁内整理番号
H 01 L 25/08 Z - 7638-5F

⑥発明者 管野 利夫 東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内
⑦発明者 津久井 誠一郎 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内
⑧発明者 小野 貴司 秋田県南秋田郡天王町字長沼64 アキタ電子株式会社内
⑨発明者 若島 喜昭 東京都小平市上水本町1450番地 株式会社日立製作所武藏工場内